

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000198240
PUBLICATION DATE : 18-07-00

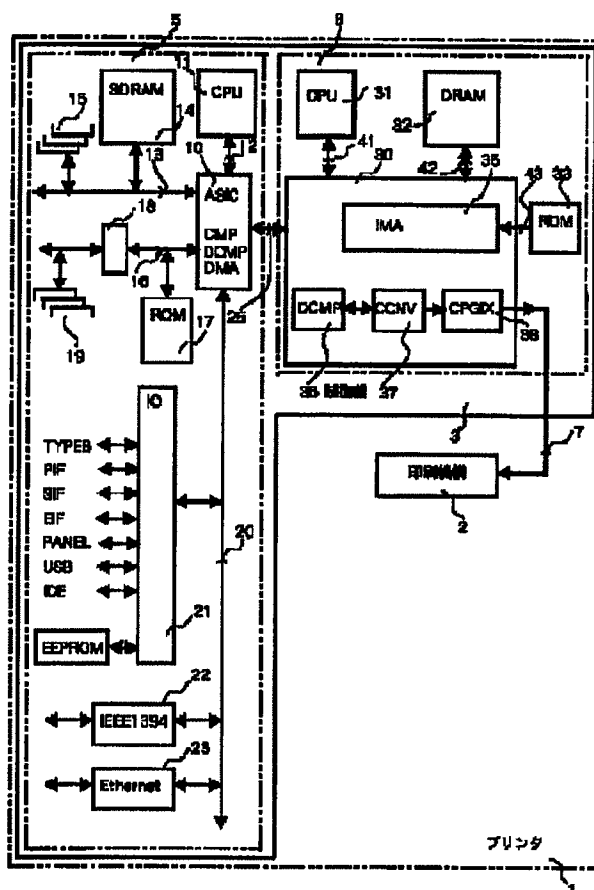
APPLICATION DATE : 22-06-99
APPLICATION NUMBER : 11175447

APPLICANT : SEIKO EPSON CORP;

INVENTOR : SHIODA FUMIO;

INT.CL. : B41J 5/30 G06F 3/12 G06T 1/20

TITLE : PRINTER AND CONTROL METHOD THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To process a large volume of print data of color laser printer, or the like, at high speed.

SOLUTION: A printer comprises a first CPU 11 controlling a process for receiving print data and a process for converting the print data into an intermediate code and outputting the intermediate code, and a second CPU 31 controlling a process for generating a writing data from the intermediate code, a color conversion process and a binarization process. Since data processing progresses stepwise in the printer, parallel processing can be carried out with two CPUs by taking over the processing of data at any one stage, e.g. the intermediate code, among a plurality of CPUs without requiring any communication function among the CPUs or development of an OS for coordination control resulting in the enhancement of processing speed.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-198240

(P2000-198240A)

(43) 公開日 平成12年7月18日 (2000.7.18)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
B 4 1 J	5/30	B 4 1 J	5/30 C
G 0 6 F	3/12	G 0 6 F	3/12 L
G 0 6 T	1/20		15/66 K

審査請求 未請求 請求項の数16 O L (全 15 頁)

(21) 出願番号 特願平11-175447

(22) 出願日 平成11年6月22日 (1999. 6. 22)

(31) 優先権主張番号 特願平10-316481

(32) 優先日 平成10年11月6日 (1998. 11. 6)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 丸山 三千男

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 高木 俊光

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 塩田 富美男

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100093371

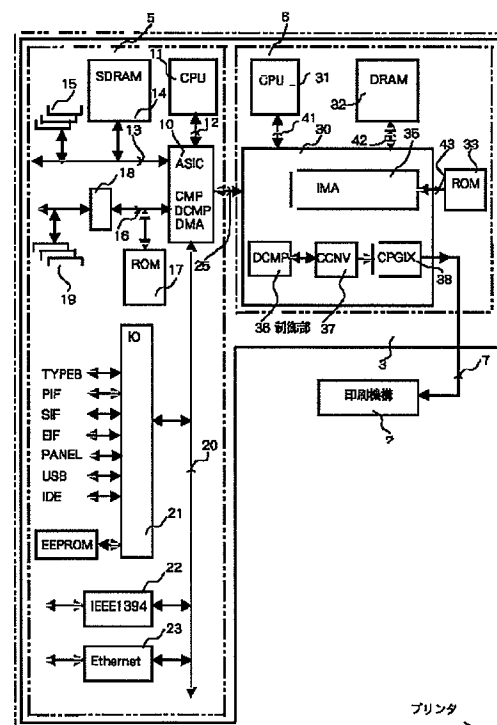
弁理士 上村 輝之 (外1名)

(54) 【発明の名称】 印刷装置及びその制御方法

(57) 【要約】

【課題】 カラーレーザプリンタなどのデータ量の多い印刷データを高速で処理可能な印刷装置を提供する。

【解決手段】 印刷データを受信する処理および印刷データを中間コードに変換して出力する処理までを制御する第1のCPU11と、中間コードから描画データを生成する処理、色変換する処理および2値化する処理を制御する第2のCPU31を設ける。プリンタにおけるデータ処理は段階的に進んでいくので、中間コードなどのいずれかの段階のデータで複数のCPUの間で処理を引き継ぐことにより、CPU間の通信機能を設けたり、協調制御用のOSを開発することなく、2つのCPUにより並行処理が可能であり、処理速度を高めることができる。



【特許請求の範囲】

【請求項1】 印刷データを受信する処理、その印刷データを中間段階のデータに変換する処理を制御する第1のCPUを備えた第1の制御区画と、
前記中間段階のデータを印刷機構に出力可能な2値化データに変換する処理を制御する第2のCPUを備えた第2の制御区画とを備えた印刷装置。

【請求項2】 請求項1において、
前記第1の制御区画は、第1のRAM、第1のROM及び第1のASICを更に有し、
第2の制御区画は、第2のRAM、第2のROM及び第2のASICを更に有し、
前記第1の制御区画から前記第2の制御区画に前記中間段階のデータを供給するためのデータ交換用のバスを更に備えた印刷装置。

【請求項3】 請求項1において、前記中間段階のデータは、前記印刷データを言語解釈して作られた中間コードのデータである印刷装置。

【請求項4】 請求項1において、前記中間段階のデータは、中間コードに基づいて描画されたRGBビットマップデータたる描画データである印刷装置。

【請求項5】 請求項1において、前記中間段階のデータは、RGBの描画データを色変換して作られたCMYKのビットマップデータたる色変換データである印刷装置。

【請求項6】 印刷データを受信する処理、その印刷データを中間段階のデータに変換する処理を制御する第1の制御工程と、
前記中間段階のデータを印刷機構に出力可能な2値化データに変換する処理を第2のCPUで制御する第2の制御工程とを有する印刷装置の制御方法。

【請求項7】 請求項6において、前記中間段階のデータは、前記印刷データを言語解釈することにより作られる中間コードのデータである印刷装置の制御方法。

【請求項8】 請求項6において、前記中間段階のデータは、中間コードに基づいて描画されたRGBビットマップデータたる描画データである印刷装置の制御方法。

【請求項9】 請求項6において、前記中間段階のデータは、RGBの描画データを色変換して作られたCMYKのビットマップデータたる色変換データである印刷装置の制御方法。

【請求項10】 印刷機構と、互いにデータを交換可能な第1の制御区画と第2の制御区画とを備え、
前記第1の制御区画は第1のCPUを有し、前記第2の制御区画は第2のCPUを有し、
前記第1と第2の制御区画が、印刷データの受信で始まり2値化データを前記印刷機構へ送ることによって終わる一連の複数段階から構成される印刷のための制御処理を、段階別に分担して実行する印刷装置。

【請求項11】 請求項10において、

前記第1の制御区画は、前記第1及び第2のCPU用の制御プログラムを格納したROMを有し、

前記第2の制御区画は、前記ROMから前記第2のCPU用の制御プログラムがロードされるRAMを有し、
前記第2のCPUは、前記RAMにロードされた前記制御プログラムに従って動作する印刷装置。

【請求項12】 請求項10において、
前記第1の制御区画は、第1のRAMと第1のASICを含み、
前記第2の制御区画は、第2のRAMと第2のASICを含み、前記第1及び第2のCPUの各々が、前記第1のRAMと前記第1のASICと前記第2のRAMと前記第2のASICにアクセス可能である印刷装置。

【請求項13】 請求項10において、
前記第1の制御区画は、前記印刷データを受信する段階と、前記印刷データから中間段階のデータを作成する段階とを分担し、
前記第2の制御区画は、前記中間段階のデータから前記2値化データを作成する段階と、前記2値化データを前記印刷エンジンへ送る段階とを分担する印刷装置。

【請求項14】 請求項13において、
前記第1の制御区画は、第1のRAMと第1のASICとを有し、
前記第2の制御区画は、第2のRAMと第2のASICとを有し、
前記第1のASICは、前記印刷データを受信する手段を有し、
前記第1のCPUは、受信した前記印刷データを言語解釈して中間コードを作成する手段を有し、
前記第2のCPUは、前記中間コードから前記中間コードと同じ表色系のビットマップデータたる描画データを描画する手段を有し、
前記第2のASICは、前記描画データを色変換して前記印刷機構と同じ表色系のビットマップデータたる色変換データを作成する手段と、前記色変換データを2値化して前記2値化データを作成する手段とを有する印刷装置。

【請求項15】 請求項14において、
前記第1のASICは、前記印刷データ、中間コード及び描画データの何れかに関して、前記第1のRAMに対するDMAを行う手段を有し、
前記第2のASICは、前記印刷データ、中間コード及び描画データの何れかに関して、前記第2のRAMに対するDMAを行う手段を有する印刷装置。

【請求項16】 第1のCPUを有する第1の制御区画が、印刷データの受信で始まり2値化データを前記印刷機構へ送ることによって終わる一連の複数段階から構成される印刷のための制御処理をのうちの、一部の所定の段階を実行する制御工程と、
第2のCPUを有する第2の制御区画が、前記一連の複

数段階から構成される印刷のための制御処理をのうちの、残りの所定の段階を実行する制御工程とを有する印刷装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、カラー画像を印刷可能な印刷装置およびその制御方法に関するものである。

【0002】

【従来の技術】近年、ドキュメントのほとんどはパーソナルコンピュータなど情報処理装置により処理され、プリンタを用いて出力されている。したがって、大量の書類を高速で印刷するためにプリンタの印刷速度を向上することが常に要求されている。また、パーソナルコンピュータにおいてカラー画像の処理が容易に行われるようになっており、カラー表示を含んだ文書量が増大している。

【0003】

【発明が解決しようとする課題】このため、カラー印刷ができる様々な種類のプリンタが開発され、一般的に使用されるようになってきている。そして、カラープリンタに対しても印刷速度を向上する要求が常にある。その一方で、高速なカラープリンタを低コストで供給可能にする要求も常にある。

【0004】印刷速度の速いカラープリンタとして、ページ印刷できるカラーレーザプリンタが知られており、近年、プリント用のエンジン（印刷機構）の速度は大幅に向上している。しかしながら、パーソナルコンピュータで処理されるカラー画像の解像度も大幅に向上されており、パーソナルコンピュータから印刷するために送信されるカラー画像のデータ量は膨大となっている。さらに、パーソナルコンピュータからプリンタに送信される言語は様々であり、プリンタは膨大なデータをそれぞれの言語に従って処理する必要がある。また、プリンタから出力されるカラープリントの品質は常に高いものが求められており、誤差分配などのカラー印刷用に特有の処理が必要となっている。

【0005】したがって、パーソナルコンピュータから印刷データを受信した後、印刷機構で印刷可能な2値化されたデータに変換するまでの処理過程が複雑になっており、従来にもましてこの処理を短縮することがカラープリンタの高速化のために重要な課題となっている。

【0006】

【課題を解決するための手段】このため、本発明においては、少なくとも2つのCPUにより、印刷データを受信してから2値化されたデータを印刷機構の出力するまでの処理を並列処理し、カラープリンタをさらに高速化するようにしている。

【0007】デジタルデータの処理速度を向上するには、CPUを高速なものに変えるか、あるいは、色変換な

どの処理に特化したハードウェアを開発し採用することが一般的である。高速のCPUを採用すれば、CPUの処理時間は短縮できるが、クリティカルパスとなるであろうデータ転送などの時間は短縮できない。したがって、高価なCPUを採用しても画像処理の時間をそれほど短縮できるものではない。色変換処理専用フルカスタマイズされたハードウェアを採用すれば、その処理自体の速度は向上でき、全ての処理をカスタマイズされたハードウェアで行えば、さらに処理速度を向上できる。しかしながら、やはりデータ転送などのクリティカルパスが生ずるので、それ自体を短縮することは難しい。また、専用ハードウェアを開発するためにはコストと時間がかかる。さらに、専用ハードウェアを採用することにより汎用性がなくなるので、将来のバージョンアップ、あるいは処理内容の変更・追加などにも対処できなくなる。

【0008】マルチプロセッサを用いた並行処理もデジタルデータの処理速度を向上する一般的な方法として知られている。しかしながら、協調制御のためにプロセッサ相互間の通信機能を設けたり、マルチプロセッサ用のOSを開発する必要があるなど、ソフトウェアおよびハードウェアの開発に時間とコストがかかるので、プリンタといった周辺機器には採用されていない。

【0009】これに対し、本願の発明者らは、プリンタにおける印刷データの処理が、中間コードへ変換する処理、中間コードをRGB（赤、緑および青）各色の描画データへ変換する処理、描画データをCMYK（シアンの、マゼンダ、黄色および黒色）の印刷するための色データに変換する処理、および、色変換されたデータを印刷機構に送るために2値化する処理と段階的に進み、さらに、各々の段階で変換データがバッファに書き込まれることに着目した。そして、いずれかの段階のデータでその後の処理を異なるCPUが引き継ぐことにより、複数のCPUで印刷データの処理を並列処理できるようにしている。

【0010】すなわち、本発明の第1の観点に従う印刷装置は、印刷データを受信する処理、その印刷データから中間段階のデータを作成する処理、および、この中間段階のデータを出力する処理を制御する第1のCPUを備えた第1の制御区画と、中間段階のデータを印刷機構に出力可能な2値化データに変換する処理を制御する第2のCPUを備えた第2の制御区画とを有する。

【0011】また、本発明の第2の観点に従う印刷装置の制御方法は、印刷データを受信する処理、その印刷データから中間段階のデータを作成する処理、及びこの中間段階のデータを出力する処理を第1のCPUで制御する第1の制御工程と、中間段階のデータを印刷機構に出力可能な2値化データに変換する処理を第2のCPUで制御する第2の制御工程とを有する。

【0012】本発明の印刷装置およびその制御方法で

は、第1のCPUは、たとえば、中間コードに変換するまでの処理の制御を行い、中間コードに変換された中間段階のデータを1ページなどの作業単位で出力する。第2のCPUは、1ページ分の中間段階のデータが出力されると、それに続く処理から2値化データに変換して印刷機構に送信するまでの処理を制御する。したがって、中間段階のデータの受け渡しだけで2つのCPUを協調制御することが可能である。このため、CPU相互間の通信機能、あるいはマルチプロセッサを協調制御するためのOSなどを開発することなく、複数のCPUを用いた並列処理を行い処理速度の速い印刷装置を提供できる。また、複数のCPUを採用して高速化を図ることにより、CPU単独の速度をそれほど高速にする必要がなくなる。したがって、低コストで速度の速い印刷装置が実現できる。また、CPU方式を採用できるので、専用ハードウェアに比較し、汎用性が高く、将来のバージョンアップなどにも容易に対応できる。

【0013】さらに、第1および第2のCPUによる並行処理により高速化を図ると同時に、第1および第2の制御区画をほぼ独立したアーキテクチャで構成することにより、クリティカルパスを短くしたり、クリティカルパスが発生するのを抑制できる。すなわち、第1および第2の制御区画には、第1および第2のRAM、第1および第2のROMを設け、さらに、第1の制御区画では、第1のCPU、第1のRAMおよび第1のROMを第1のバスまたは第1のASICで接続し、第2の制御区画では、第2のCPU、第2のRAMおよび第2のROMを第2のバスまたは第2のASICで接続することが望ましい。これにより、バスあるいはASICが他の制御区画のCPUあるいは他の制御区画の処理によって占有されるのを防止できるので、個々の制御区画でクリティカルパスが発生しないように、あるいはクリティカルパスが最短になるように最適なプログラミングが行える。また、第1の制御区画と第2の制御区画をデータ交換用のバスで接続することにより、中間段階のデータの受け渡しは可能である。

【0014】もちろん、描画データ、色変換データなどの各変換処理を制御する第3さらには第4のCPUを設けることも可能である。しかしながら、CPUに付随するハードウェアも増加するので、3つ以上のCPUを採用することは現状では印刷装置が大型で非常に高価なものになってしまう。さらに、本発明の印刷装置あるいは制御方法においては、中間段階のデータとして、中間コードに変換されたデータを採用すると、第1の制御区画はモノクロあるいはカラーに共用の制御区画として設計でき、また、第2の制御区画はカラー専用の制御区画として設計することができる。したがって、第1の制御区画はモノクロ用のレーザにも共用することができる。また、第2の制御区画はビットイメージで送信された画像データを印刷するスリーク・プリンタ（ダムプリンタ）

にも共用できる。

【0015】中間コードを中間段階のデータとすることにより、上述したように第1および第2の制御区画の処理範囲が明確になるので汎用性の高いシステムとなる。また、中間コード以降が1ページ分などの作業単位で第2の制御区画により連続処理され印刷機構から出力されるので、メモリなどのハードウェアの利用効率も高く高速出力が可能となる。しかしながら、作業単位（1ページ）のデータを描画データ、色変換データおよび2値化データに変換する処理を第2の制御区画で一連で行うために、印刷機構の処理速度が速いと印刷速度に処理速度が追いつかず、第2のCPUにより制御がクリティカルパスになってしまいオーバーランが生ずる可能性がある。

【0016】したがって、そのような場合は、中間段階のデータは、中間コードがさらにRGB各色に変換された描画データ、あるいは、描画データがさらにCMYK各色に色変換した後のデータにすることが望ましい。このような中間段階のデータ種別の変更は、第1および第2の制御区画に含まれる変換用のハードウェアを変更することで対処することも可能であり、あるいは、ハードウェアは変えずに、第1または第2のCPUにより制御する範囲をソフトウェアで変更するようにしても良い。

【0017】本発明の第3の観点に従う印刷装置は、印刷機構と、それぞれCPUを有して相互にデータを交換可能な第1及び第2の制御区画を備える。そして、印刷データの受信で始まり2値化データを前記印刷機構へ送ることによって終わる一連の複数段階から構成される印刷のための制御処理を、その2つの制御区画が段階別に分担して実行する。

【0018】本発明の第4の観点に従う印刷装置の制御方法は、印刷データの受信で始まり2値化データを前記印刷機構へ送ることによって終わる一連の複数段階から構成される印刷のための制御処理のうち、一部の所定の段階を第1のCPUをもつ第1の制御区画が実行する制御工程と、残りの所定の段階を第2のCPUをもつ第2の制御区画が実行する制御工程とを有する。

【0019】一つの好適な実施形態では、第1の制御区画に設けられたROMに、第1と第2のCPU双方のための制御プログラムを格納しておき、そして、電源投入時に、そのROMから第2の制御区画内のRAMに第2のCPU用の制御プログラムをロードして、第2のCPUがそのRAMにロードされた制御プログラムに従って動作できるようにする。これにより、プログラムROMが節約でき、制御区画の基板サイズも小さくできる。

【0020】好適な実施形態では、第1の制御区画には、第1のCPUの他に第1のRAMと第1のASICが搭載され、第2の制御区画には、第2のCPUだけでなく第2のRAMと第2のASICが搭載される。そして、第1及び第2のCPUの各々が、第1のRAMと第

1のASICと第2のRAMと第2のASICにアクセス可能である。そのため、第1の制御区画と第2の制御区画にどの段階の処理を分担させ、その制御をどのCPUが行うかといった仕事の割り当てに関して大きい自由度が得られ、結果として、印刷装置の仕様や印刷ジョブの性質に応じた最適な仕事割り当てが設定できる。

【0021】仕事割り当ての典型例は、第1の制御区画が、印刷データを受信する段階と、印刷データから中間段階のデータを作成する段階とを分担し、第2の制御区画が、中間段階のデータから2値化データを作成する段階と、2値化データを印刷エンジンへ送る段階とを分担するというものである。

【0022】好適な実施形態では、第1の制御区画では、第1のASICが印刷データの受信を行い、第1のCPUが、受信した印刷データを言語解釈して中間コードを作成する。第2の制御区画では、第2のCPUが、中間コードから中間コードと同じ表色系（例えばRGB）のビットマップデータたる描画データを描画し、第2のASICが、その描画データを色変換して印刷機構と同じ表色系（例えばYMCK）のビットマップデータたる色変換データを作成し、その色変換データを2値化して2値化データを作成する。この一連の制御処理において、印刷データ、中間コード及び描画データはそれぞれ、第1のRAMか又は第2のRAMに一時的に蓄積されるようになっているが、それらのデータを第1のRAMに書き込んだり読み出したりする動作は第1のASICがDMAにより行い、また、それらのデータを第2のRAMに書き込んだり読み出したりする動作は第2のASICがDMAにより行い、それにより、CPUの負担を軽減している。

【0023】

【発明の実施の形態】以下に図面を参照して本発明の実施の形態を説明する。図1に、本発明にかかるプリンタ1の概略構成をブロック図を用いて示してある。本例のプリンタ1は、カラーレーザプリンタであり、マルチカラー印刷を行う印刷機構2と、この印刷機構2に2値化されたデータを供給する制御部3とを備えている。制御部3は、パーソナルコンピュータなどから印刷データφpを受信すると共に、その印刷データφpを幾つかのステップを経て印刷機構2で印刷可能な2値化データφoに変換して出力する。

【0024】本例の印刷部3は、2つの制御区画5および6に別れている。第1の制御区画5は、印刷データφpを受信する処理と、さらに中間コードφmに変換して出力する処理を行う。第2の制御区画6は、中間コードφmを描画データφcに変換する処理と、描画データφcを色変換して変換データφtにする処理と、さらに、変換データφtを2値化して2値化データφoを出力する処理を行うことができる。

【0025】第1の制御区画5は、DMAコントローラ

としての機能を備えた第1のASIC10を中心に構成されており、この第1のASIC10にCPUバス12により第1のCPU11が接続されている。第1のASIC10は、さらに、RAMバス13によりSDRAM14が接続され、ROMバス16によりROM17が接続されている。RAMバス13には、増設用のRAMを接続するスロット15が設けられており、また、ROMバス16にはバッファ18を介して増設用のプログラムカードを接続するスロット19が設けられている。第1のASIC10には、また、外部バス20を介して入出力モジュール21、高速シリアルインタフェース用のIEEE1394モジュール22、ネットワークインタフェースのイーサネットモジュール23が接続されている。

【0026】入出力モジュール21には、さらに、オプションカード用のバスTYPEB、セントロニクスなどのパラレルインタフェースPIF、RS-232CなどのシリアルインタフェースSIF、エンジンインタフェースEIF、パネルインタフェースPANEL、さらにUSB、IDE用のインタフェース、不揮発性ROMのインタフェースEEPROMなどが設けられている。また、第1のASIC10は、後述する第2の制御区画6の中心となるASIC30とデータ交換用のバス25を介して接続されている。

【0027】したがって、第1の制御区画5では、これらの外部インタフェースを介してパーソナルコンピュータなどから印刷データを受信し、SDRAM14などの作業用のメモリに収納することができる。さらに、第1のASIC10は、圧縮する機能(CMP)および伸長する機能(DCMP)も備えているので、圧縮された状態で受信した印刷データを伸長してSDRAM14に展開することも可能である。それぞれのモジュール21、22または23で受信された印刷データφpは、ASIC10のDMA機能によりSDRAM14に転送され、さらに、圧縮されている場合はDMAと同時に、あるいは別のタイミングで伸長される。第1のCPU11により、これらの印刷データφpの受信および伸長処理が制御される。

【0028】CPU11は、さらに、SDRAM14にロードされた印刷データφpの記述言語を判断し、ROM17に収納された言語処理プログラムにしたがって印刷データφpを解釈し、本プリンタ1で処理可能な中間コードφmを生成する。そして、生成した中間コードφmをデータ交換用のバス25を介して第2の制御区画6に供給し、第2の制御区画6のDRAM32に書き込む。中間コードφmのデータ量が多い場合は、ASIC10の圧縮機能CMPを用いて圧縮して第2の制御区画に供給する。

【0029】第2の制御区画6は、主にカラー処理を行う制御区画であり、描画用のハードウェアであるIMA

35を備えた第2のASIC30を中心に構成されている。第2のASIC30は、さらに、圧縮および伸長用にデザインされたハードウェア機能DCMP36、色変換用にデザインされたハードウェア機能CCNV37、および2値化用にデザインされたハードウェア機能CPGIX38を備えている。また、第2のASIC30には、これらのハードウェア機能を制御するための第2のCPU31がCPUバス41により接続されている。さらに、第2のASIC30には、CPU31のプログラムを記憶したROM33がROMバス43により接続され、作業領域となるDRAM32がRAMバス42により接続されている。また、第2のASIC30には、第1のASIC10とデータを交換するためのバス25が接続されており、2値化されたデータφoを印刷機構2に出力するためのバス7も接続されている。

【0030】第2の制御区画6は、第1の制御区画5によりDRAM32に対し1ページ分の中間コードφmが書き込まれると、その中間コードφmで記述された1ページ分のデータを印刷機構2で印刷可能な2値化されたデータφoに変換して出力するまでの処理を連続で行う。まず、DRAM32に書き込まれた中間コードφmを伸長機能DCMP36によって解凍しながらCPU31およびIMA35の機能を用いてRGB各色8ビットの描画データφcに変換する。この描画データφcは再び圧縮された状態でDRAM32に書き込まれる。

【0031】描画データφcは、その後、再びロードされ、伸長された後に色変換用のハードウェア機能CCNV37に供給され、RGB各色8ビットのデータから、CMYK各色8ビットの色変換データφtに変換される。この色変換データφtは、さらに、2値化用のハードウェア機能CPGIX38に供給され、2値化データφoに変換された後に印刷機構2に出力される。そして、印刷機構2によりカラー画像がページ毎に出力される。

【0032】図2に、以上の過程をフローチャートにより示してある。まず、第1の制御区画5では、ステップ51で印刷データφpを受信しSDRAM14に蓄積する。1つのジョブを受信した後、あるいは受信途中の適当なタイミングで、ステップ52において、印刷データφpをSDRAM14からロードし、伸長した後に中間コードφmに変換し、さらに圧縮してSDRAM14に蓄積する。適当な作業単位、例えば1ページ分の中間コードφmが生成されると、ステップ53でASIC10のDMA機能を用いてデータ交換用のバス25を介して第2の制御区画6のASIC30に供給し、ASIC30を介してDRAM32に蓄積する。これらの各ステップ51、52および53が第1のCPU11の制御の下で行われ、ステップ53の処理が終了すると、次の1ページ分の印刷データφpの処理が開始される。

【0033】第2の制御区画6では、DRAM32に適

当な作業単位の中間コードφmが出力されると、カラー印刷のための処理を行う。本例では、ページプリンタであるので、通常は1ページが単位となり、その単位の中間コードφmが蓄積された段階で処理が開始される。まず、ステップ54でDRAM32に蓄積された中間コードφmがロードされ、解凍された後に、RGB各色の描画データφcに変換される。そして、ステップ55でDRAM32に再び圧縮されて出力される。この描画データφcは、ステップ56で再びロードされて伸長され、CMYKの各色のデータφtに色変換される。そして、ステップ57で2値化用のハードウェア機能CPGIX38に出力され、ステップ58で2値化処理が行われる。2値化されたデータφoはステップ59で印刷機構2に出力されカラー印刷が行われる。これらの各ステップ54ないし59は、第2のCPU31の制御の下で行われる。

【0034】このように、本例のプリンタ1では、印刷データφpを受信して中間コードφmで出力するまでの処理（ステップ51から53）が第1の制御区画5において第1のCPU11の制御の下で繰り返される。また、中間コードφmから2値化データφoに変換して出力するまでの処理（ステップ54から59）が第2の制御区画6において第2のCPU31の制御の下で繰り返される。したがって、ステップ51から53までの処理と、ステップ54から59までの処理が並列に処理されるので、制御部3のスループットを大幅に向上できる。このため、印刷速度の速いプリンタ1を提供することができる。

【0035】また、本例の制御システムを採用することにより、印刷データを処理する上でクリティカルパスとなりやすい第2の制御区画6の処理時間から第1の制御区画5における処理を除くことが可能となる。第2の制御区画6における処理時間を短縮することにより、その処理時間が印刷機構2の印刷速度と略同であるいは短なれば、印刷機構2が1ページ分の印刷が終了した段階で次のページの印刷が開始できる。したがって、印刷機構2が1枚毎に停止することなく、カラープリントを連続して出力可能なカラーページプリンタが提供可能となる。

【0036】さらに、第1の制御区画5においては、カラー化の処理が第2の制御区画6で独立して行われるので、割り込みなどの特殊な処理を行って印刷処理を中断しなくても印刷途中にパーソナルコンピュータとの通信処理を随時行うことができる。カラーページプリンタは、モノクロのプリンタと比較するとコストが高く設置面積も広くなるので、LANなどを介して共有化されることが多く、通信処理のために割かれる時間も多くなる。本例のプリンタ1は、通信処理のための割り込み処理が少なくなるので、割り込み及び復帰のためのレジスタ待避などの余分な処理時間も節約することができ、印

刷速度も速く、通信したときの応答速度も速いプリンタを提供できる。

【0037】また、本例のプリンタ1の制御部3では、第1の制御区画5から中間コード ϕm に変換されたデータを第2の制御区画6を提供することにより第1および第2の制御区画の制御を協調させている。中間コード ϕm 、描画データ ϕc 、色変換データ ϕt さらに2値化データ ϕo と段階的にデータ変換されているプロセスはプリンタに特有のものであり、各段階のデータが同時に参照されるようなことはない。したがって、いずれかの段階のデータで制御区画を移行することにより、制御区画の密接な協調制御は不要である。

【0038】したがって、本例のプリンタの制御部3では、従来のマルチプロセッサを用いた制御システムのように、CPU間の通信機能を設けたり、並列処理用のOSを新たに開発する必要はなく、適当なタイミングで中間コード ϕm を引き継ぐことにより2つのCPU11および31による並行処理が実現されている。このため、ハードウェアあるいはソフトウェアの開発に費用あるいは時間をそれほど費やすことなくマルチプロセッサによる並行処理が実現でき、高速処理可能なプリンタを低コストで提供することができる。

【0039】さらに、本例のプリンタ1の制御部3は、第1の制御区画5と第2の制御区画6がそれぞれ第1のASIC10あるいは第2のASIC30を中心としたほぼ独立したアーキテクチャで構成されている。このため、それぞれのCPU11あるいは31が命令をフェッチするタイミングを調整したり、RAMにアクセスするタイミングを調整したり、さらには、DMAのためにバス開放するタイミングを第1および第2の制御区画間で調整するプロセスがほとんどいらない。単に、中間コード ϕm が第1の制御区画5から第2の制御区画6に転送するタイミングをいずれかの制御区画5または6の側で制御するだけで良い。

【0040】したがって、印刷データ ϕp を受信してから中間コード ϕm に変換するまでの処理と、中間コード ϕm から2値化データ ϕo を出力するまでの処理を略完全に独立して実行することができる。このため、それぞれの制御手順を最適化でき、各々の制御区画5および6の処理時間を短縮することができる。したがって、印刷装置1のトータルの処理時間を更に短縮できる。

【0041】このように、第1および第2の制御区画5および6に独立したアーキテクチャを採用していると、処理速度を向上できると共に、他のプリンタに対する汎用性も向上する。例えば、本例の第1の制御区画5は、第1のASIC10にモノクロ用の印刷データを圧縮および伸長する機能を備えている。したがって、モノクロのレーザプリンタにおいては、本例の第1の制御区画5を搭載した基板を装着することによりモノクロ用の印刷データをパーソナルコンピュータから受信し、それを言

語処理した後に印刷することができる。一方、第2の制御区画6は、圧縮伸長に加え、描画、色変換、さらに2値化を行うカラープリントに必要な機能を備えている。したがって、第2の制御区画6を搭載した基板を装着することにより、言語処理の不要なビットマップ化されたデータを受信してカラー印刷を行うスリックプリンタあるいはダムプリンタを提供できる。

【0042】さらに、このような2つのCPU11および31を用いて高速化することにより、数100MHzなどの非常に高速で高価なCPUを採用したプリンタと比較し低コストで高速化できる。また、ハードウェアを進めて高速化したプリンタよりもフレキシブルで汎用性の高い制御システムが実現できることは先に説明した通りである。本例のプリンタ1では、ROMを変えたり増設することによりプリンタ言語のバージョンアップにも柔軟に対応でき、またメモ리카ードを増設することにより多階調あるいは高解像度のカラー画像の処理にも柔軟に対応できる。

【0043】また、本例の制御部3は、2つのCPU11および31のプログラムを変更することにより、第1のCPU11および第2のCPU31で制御する範囲を変更することも可能である。たとえば、処理する印刷データ ϕp の解像度が高いためにデータ量が多く、さらに、印刷機構2の印刷速度が速いプリンタにおいては、中間コードを描画データ ϕc に変換し、色変換し、さらに2値化する処理を第2のCPU31で制御するとその処理時間が、印刷機構2のページ当たりの印刷時間よりも長くなり、第2のCPU31で制御する一連の処理がクリティカルパスになる可能性がある。そのような場合は、印刷機構2が1ページ印刷するたびに停止したり、あるいはオーバーランを起こしてページの途中でデータが抜けた印刷が行われてしまう可能性がある。したがって、第2のCPU31で制御する処理を減らすことによりクリティカルパスが印刷機構2の印刷時間となるようにすることが望ましい。

【0044】図3に、第1および第2のCPU11および31で制御される処理範囲を変更した例をフローチャートを用いて示してある。上述したように、プリンタでは、中間コード ϕm 、描画データ ϕc 、色変換したデータ ϕt と処理が進むので、いずれかの段階のデータを第1のCPU11から第2のCPU31に引き渡すことにより2つのCPUで並列処理できる。このため、図3に示した例では、描画データ ϕc に変換し出力する処理までを第1のCPU11で制御し、作業単位である1ページ分の描画データ ϕc を第2の制御区画6のDRAM32に出力した段階で、第2のCPU31にその後のデータの処理を引き継ぎ、第2のCPU31による処理時間を短縮するようにしている。

【0045】図3に示した各々のステップは図2に示したものと同様であるが、第1の制御区画5では、まずス

ステップ51において、印刷データ ϕp を受信しSDRAM14に蓄積する。ステップ52において、印刷データ ϕp をSDRAM14からロードし、伸長した後に中間コード ϕm に変換する。中間コード ϕm をステップ53で、SDRAM14または第2の制御区画のDRAM32に蓄積する。さらにステップ54で第2の制御区画のASIC30に設けられた描画用のハードウェアIMA35を用いて中間コード ϕm を描画データ ϕc に変換し、SDRAM14に蓄積する。そして、適当な作業単位、例えば1ページ分の描画データ ϕc が生成されると、ステップ55でASIC10のDMA機能を用いてデータ交換用のバス25を介して第2の制御区画6のDRAM32に蓄積する。第1のCPU11は、これらの処理を繰り返して行う。

【0046】第2のCPU31にデータの処理が引き継がれると、描画データ ϕc をステップ56で再びロードし伸長してCMYKの各色のデータ ϕt に色変換する。このデータ ϕt をステップ57で2値化用のハードウェア機能CPGIX38に出力し、ステップ58で2値化処理した後にそのデータ ϕo をステップ59で印刷機構2に出力してカラー印刷を行う。この制御方法では、第2のCPU31で繰り返し連続的に制御されるのはステップ56からステップ59の処理であり、第2のCPU31の負荷を軽減できる。したがって、第2のCPU31における制御がクリティカルパスとなるのを防止でき、印刷機構2により継続的にページ単位の印刷ができる。

【0047】また、オーバーランによる印刷品質の劣化も防止できる。もちろん、第2のCPU31の負荷をさらに軽減することも可能であり、第1のCPU11が色変換後のデータ ϕt を出力する処理（ステップ57）までの処理を制御し、第2のCPU31で2値化する処理以降を制御するようにしても良い。そして、このように第1および第2のCPU11および31で制御する範囲を変更することが各CPUのプログラムを変更するだけで行える。

【0048】しかしながら、上記の例では、描画データ ϕc に変換するためのハードウェア機能35あるいは色変換するハードウェア機能37は第2の制御区画6にあるものを用いている。このため、データ交換用のバス25のトラフィックが増加する。したがって、DRAMなどのメモリやハードウェア機能の利用効率が低下する可能性がある。しかしながら、データ処理のクリティカルパスを短縮できるので、トータルの処理時間を短縮できる可能性がある。もちろん、描画用のハードウェア機能35、あるいは色変換用のハードウェア機能37を第1の制御区画5に移動したり、あるいは、第1の制御区画5にも設けておくことも可能である。しかしながら、このようにハードウェアを変更すると、各々の制御区画5および6の汎用性が低くなったり、また、過剰設備とな

りコストおよびサイズが過大になる。したがって、上述したように、各々のCPU11および31のソフトウェアを変更することにより対処することが望ましい。

【0049】さらに、現在、ハードウェア機能で処理を行っている描画、色変換あるいは2値化処理もソフトウェアで行うことも可能であり、このような場合は、それぞれの機能も含めてソフトウェアで最適に割り振ることができるであろう。このような場合でも、各段階における変換後の中間段階のデータ（中間コード ϕm 、描画データ ϕc あるいは色変換データ ϕt ）でCPUを切り換えることにより、2つのCPU11および31を極めて簡単に協調制御することができ、並列処理を行って処理速度を高めることができる。

【0050】また、上記では、各制御区画が、RAMバスおよびCPUバスがそれぞれ接続可能なASIC10および30を中心に構成されている例で説明しているが、CPUバスにRAMおよびROMを接続する構成であっても良いことはもちろんである。しかしながら、RAMおよびROMなどがCPUバスに接続された構成では、CPUがバス開放するタイミングとデータ転送するタイミングのマッチングを取るなど、制御手順に制限が生じる可能性があるので、処理速度は若干低下することになるであろう。

【0051】なお、上記では第1および第2の2つのCPUを設置した制御部3を例に説明しているが、各々の制御区画をマルチCPUで構成したり、第1および第2の制御区画を複数も受けて並行処理を行うなど、さらに多くのCPUを用いた構成ももちろん可能である。

【0052】図4は、本発明の別の実施形態にかかるプリンタの回路構成を示すブロック図である。

【0053】図4に示すように、プリンタ101は、第1の制御区画103と第2の制御区画105と印刷機構107を有する。第1制御区画103と第2制御区画105は、図示のように互に対称的な構成を有している。

【0054】すなわち、第1制御区画103は、第1CPU111、第1ASIC113、第1DRAM115及び第1ROM117を有する。第1ASIC113は、ホスト装置109などに対するデータ入出力を行う入出力ASIC121と、メモリ115、117のアクセスやCPU111のバスの制御などを行うメモリASIC123とから構成される。第1ROM117には、第1CPU111用のプログラムが格納されている。

【0055】第2制御区画105は、第2CPU131、第2ASIC133、第2DRAM135及び第2ROM137を有する。第2ASIC133は、メモリ135、137のアクセスやCPU121のバスの制御などを行うメモリASIC141と、色変換や2値化や階調補正やエッジスムージングなどの画像処理を行ないそれらの画像処理で得られた最終的のCMYK 2値化デ

ータを印刷機構107へ供給する画像処理ASIC143から構成される。第2ROM137には、第2CPU131用のプログラムが格納されている。

【0056】第1制御区画103の第1CPU111は、第1制御区画内103内のリソース（第1ASIC113、第1DRAM115）だけでなく、第2制御区画内105内のリソース（第2ASIC123、第2DRAM135）にもアクセスすることができる。同様に、第2制御区画105の第2CPU131は、第2制御区画内105内のリソース（第2ASIC123、第2DRAM135）だけでなく、第1制御区画内103内のリソース（第1ASIC113、第1DRAM115）にもアクセスすることができる。

【0057】なお、第1CPU111がDRAMコントローラを持つ場合には、第1メモリASIC123に第1DRAM115を接続する代わりに（又は、それと共に）、点線で示すように第1CPU111に第1DRAM151を接続することもできる。第2CPU131がDRAMコントローラを持つ場合には、第2メモリASIC133に第2DRAM135を接続する代わりに（又は、それと共に）、点線で示すように第2CPU131に第2DRAM153を接続することもできる。

【0058】図5は、図4に示したプリンタに若干の変形を加えた構成をもつプリンタのブロック図である。

【0059】図4に示したプリンタ101では、各制御区画103、105に、各CPU111、131用の制御プログラムを格納したROM117、137が個別に用意されている。しかし、実際のROMチップがもつ容量の割には、制御プログラムのデータ量は小さいので、ROM117、137内には使っていない無駄な記憶領域がかなり多くある。また、特に2つの制御区画103、105を別の回路基板とし、両基板をコネクタなどで接続する構成を採用する場合、許容される基板サイズに起因して搭載可能なデバイス数がより少なく制限される場合がある。

【0060】そこで、図5に示した構成では、第1のCPU211用の制御プログラムと第2のCPU231用の制御プログラムの双方が、第1の制御区画203内のROM217に纏めて格納されている。故に、第2の制御区画205内にはプログラムROMは無く、第2の制御区画205の基板サイズが削減される。第2制御区画205内のメモリASIC241にはSRAM271が内蔵されている。プリンタ201の電源投入時に、ROM217内の第2CPU231用の制御プログラムがSRAM271にロードされ、第2CPU231はSRAM271内の制御プログラムに従って動作する。

【0061】なお、第1CPU211がDRAMコントローラを持つ場合には、第1メモリASIC223に第1DRAM215を接続する代わりに（又は、それと共に）、点線で示すように第1CPU211に第1DRAM

M251を接続することもできる。第2CPU231がDRAMコントローラを持つ場合には、第2メモリASIC233に第2DRAM235を接続する代わりに（又は、それと共に）、点線で示すように第2CPU131に第2DRAM253を接続することもできる。

【0062】図6及び図7は、図4及び図5に示したプリンタの電源投入時の動作開始タイミングをそれぞれ示している。

【0063】図4に示したプリンタ101では、電源投入時、リセット回路119がリセット信号161を第1CPU111、第1ASIC113、第2CPU131及び第2ASIC133に加えてそれらリセット状態とし、一定時間後にリセット信号161を解除する。図6のタイミングチャートに示すように、リセット解除と同時に、第1CPU111、第1ASIC113、第2CPU131及び第2ASIC133が一斉に有効になり、第1制御区画103と第2制御区画105は同時に動作を開始する。

【0064】一方、図5のプリンタ201では、電源投入時、第1リセット回路219がリセット信号261を第1CPU111、第1ASIC113及び第2ASIC133に加え、また、第2ASIC263に内蔵された第2リセット回路263がリセット信号265を第2CPU231に加える。そして、一定時間後に第1リセット回路219がリセット信号261を解除する。図7のタイミングチャートに示すように、このリセット解除と同時に第1CPU111と第1ASIC113が有効となり、第1制御区画203は動作を開始するが、第2制御区画205では、第2ASIC233は有効だが、第2CPU231はまだリセット状態中であるため、第2制御区画205全体としてはまだ待機状態である。そして、この待機状態のときに、第2メモリASIC内のSRAM271にROM217内の第2CPU用プログラムをロードする。ロード完了後、第1CPU211からの信号267で第2リセット回路263のリセット信号265を解除し、それにより、第2CPU231が有効となって第2制御区画205の動作が開始する。

【0065】図4又は図5に示したプリンタにおいて、ホスト装置からの印刷データ受信から印刷機構への2値化データ送出までの制御処理を第1と第2の制御区画に対しどのように割り当てるかという点について、多くのバリエーションが存在する。どの割り当て方が最適であるかは、第1CPU111と第2CPU211の性能の違いや、印刷ジョブの性質などによっても異なる。図8及び図9は、第1と第2の制御区画への仕事の割り当ての代表的な例を示している。図8は、印刷データの受信からRGBラスタデータ作成までの制御動作を示し、図9は、RGBラスタデータに色変換及び2値化を行ってYMCK2値化データを作成して印刷機構へ送るまでの制御動作を示している。

【0066】図8に示すように、ホスト装置301からの印刷データを、第1制御区画300内の入出力ASIC303が受信し(401)、受信した印刷データを第1メモリASIC307がDMA(403)により、第1DRAM309に書き込む。このとき、第1CPU305が、第1メモリASIC307が行うDMA(403)を制御する(407)。第1DRAM405に格納された印刷データ405は、例えばPDL(ページ記述言語)で記述されている。次に、第1CPU305が、第1DRAM309からPDL印刷データ405を読み込み、これを解釈して(409)、中間段階のデータ(典型的には中間コード)を作成し、この中間コード411を第1DRAM309に書き込む。

【0067】次に、第1制御区画302の第2メモリASIC313が、DMA(413)により、第1DRAM309内の中間コード411を第2DRAM315にコピー(又は転送)する。このときのDMA(413)は、第2CPU311が制御する(417)。次に、第2CPU311が、第2DRAM315から中間コード415を読み込み、これに基づき完全なビットマップイメージデータを描画し(417)、そのビットマップイメージデータ(描画データ)419を第2DRAM315に書き込む。次に、第3メモリASIC313が、第2DRAM315内の描画データ419を、DMA(421)により、第1DRAM309に転送する。このDMA(421)は、第2CPU311が制御する(425)。

【0068】続いて、色変換や2値化などの画像処理が図9に示す手順で行われる。第2メモリASIC313がDMA(425)により、第1DRAM309内の描画データ(通常は、RGBのビットマップイメージデータである)423を画像処理ASIC317へ送る。画像処理ASIC317は、そのRGB描画データに色変換や階調補正などの処理(427)を行って、YMCKの描画データ(色変換データ)に変換する。そのYMCK色変換データを、第2メモリASIC313がDMA(429)により、第1DRAM309に書き込む。次に、第2メモリASIC313がDMA(433)により、第1DRAM309内のYMCK色変換データ431を画像処理ASIC317へ送る。画像処理ASIC317は、そのYMCK色変換データに2値化の処理(435)を行って(必要に応じてエッジスムージング処理も行つて)、YMCK2値化データに変換し、このYMCK2値化データを印刷機構319に送る。上記の過程で第2メモリASIC313が行うDMA(425、429、433)は、第1CPU305が制御する。

【0069】図8及び図9に示した制御手順は一例であり、別の手順を採用することもできる。例えば、図9に示した手順において、第2CPUが十分に高い性能をも

つならば、点線441に示すように第2CPU311が第2メモリASIC313のDMA(425、429、433)を制御してもよい。また、第2DRAM315の容量が十分に大きければ、点線439に示すように、色変換後のYMCK色変換データを第2DRAM315に格納するようにしてもよい。また、画像処理ASIC317において、色変換(427)で得たYMCK色変換データを、DRAMに一旦蓄えずに、点線443で示すように直接的に2値化して(435)、その結果得られたYMCK2値化データを印刷機構319へ送るようにしてもよい。

【0070】以上に説明した本発明に従うプリンタは、複数のCPUを用いて印刷データを2値化したデータに変換するまでの処理を制御するようにしている。そして、各々のCPUで制御する範囲を中間コード、描画データあるいは色変換データなどのいずれかの変換処理が終了した中間段階のデータで引き継ぐことにより、CPU間のデータ通信や協調制御用のOSを用いることなく簡単な構成で複数CPUによる並列処理を実現している。このため、本発明により、カラーレーザプリンタなどの高画質のカラープリンタを出力するプリンタに最適な、低コストで処理速度の速い印刷装置を提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るプリンタの概略構成を示すブロック図である。

【図2】図1に示すプリンタにおける制御過程をフローチャートで示す図である。

【図3】図2と異なる制御過程を示すフローチャートである。

【図4】本発明の別の実施形態にかかるプリンタの回路構成を示すブロック図である。

【図5】本発明の更に別の実施形態にプリンタの構成を示すブロック図である。

【図6】図4のプリンタの電源投入時のリセット解除動作を示すタイミングチャートである。

【図7】図5のプリンタの電源投入時のリセット解除動作を示すタイミングチャートである。

【図8】図4又は図5のプリンタの印刷データ受信からRGBラスターデータ作成までの制御動作を示す説明図である。

【図9】図4又は図5のプリンタの色変換及び2値化を行うときの制御動作を示す説明図である。

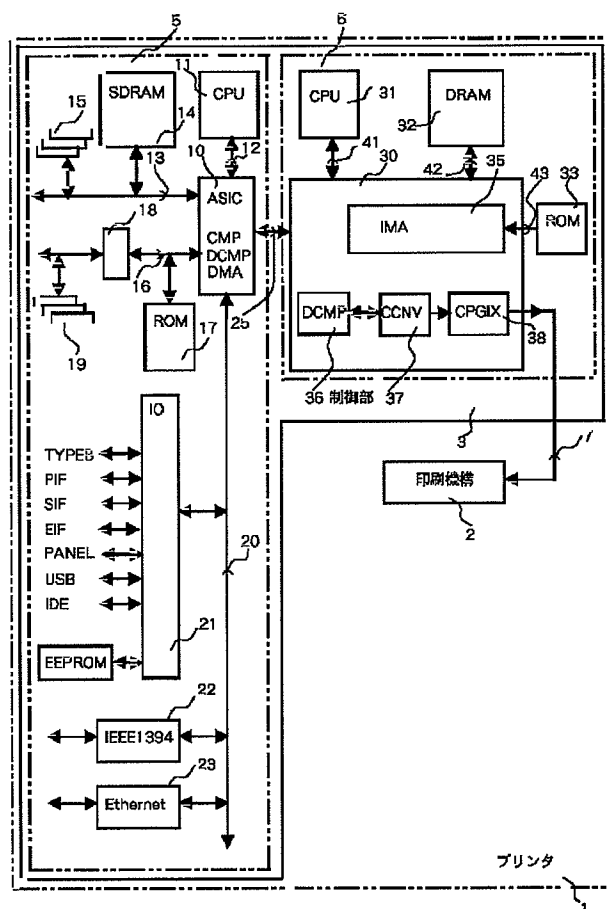
【符号の説明】

- 1、101、201 プリンタ
- 2、107、207、319 印刷機構
- 3 制御部
- 5、103、203、300 第1の制御区画
- 6、105、205、302 第2の制御区画
- 10、113、213 第1のASIC
- 11、111、211 第1のCPU

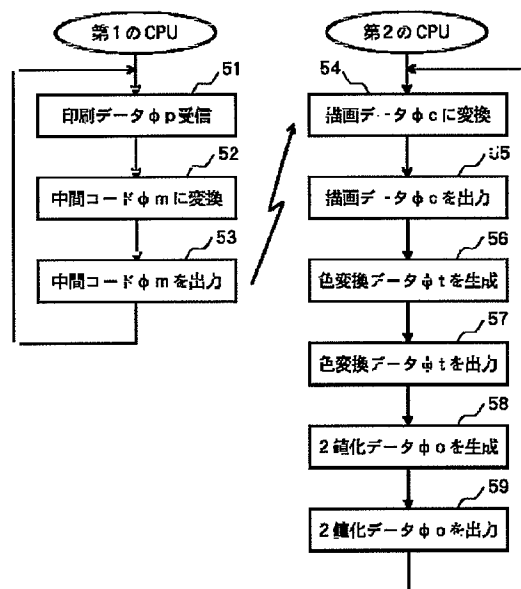
12 CPUバス
 13 RAMバス
 14 SDRAM
 16 ROMバス
 17 ROM
 20 外部バス
 21 入出力ユニット
 30、133、233 第2のASIC
 31、131、231 第2のCPU
 41 CPUバス
 32 DRAM
 42 RAMバス
 33 ROM
 43 ROMバス
 35 描画用ハードウェア機能

36 圧縮・伸長用ハードウェア機能
 37 色変換用ハードウェア機能
 38 2値化用ハードウェア
 115、151、215、251、309 第1のDRAM
 135、153、235、253、315 第2のDRAM
 117 第1のROM
 137 第2のROM
 217 ROM
 121、221、303 入出力ASIC
 123、223、307 第1のメモリASIC
 141、241、313 第2のメモリASIC
 143、243、317 画像処理ASIC

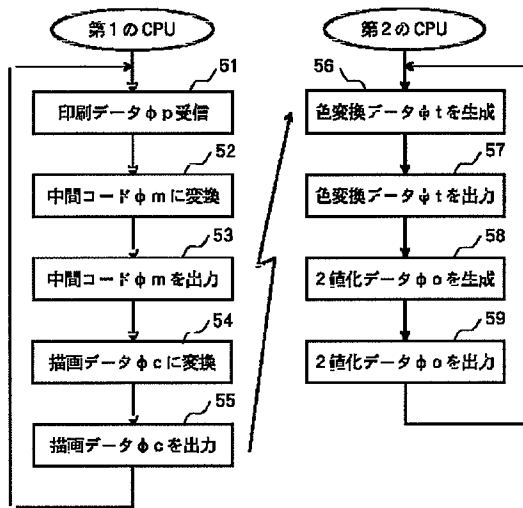
【図1】



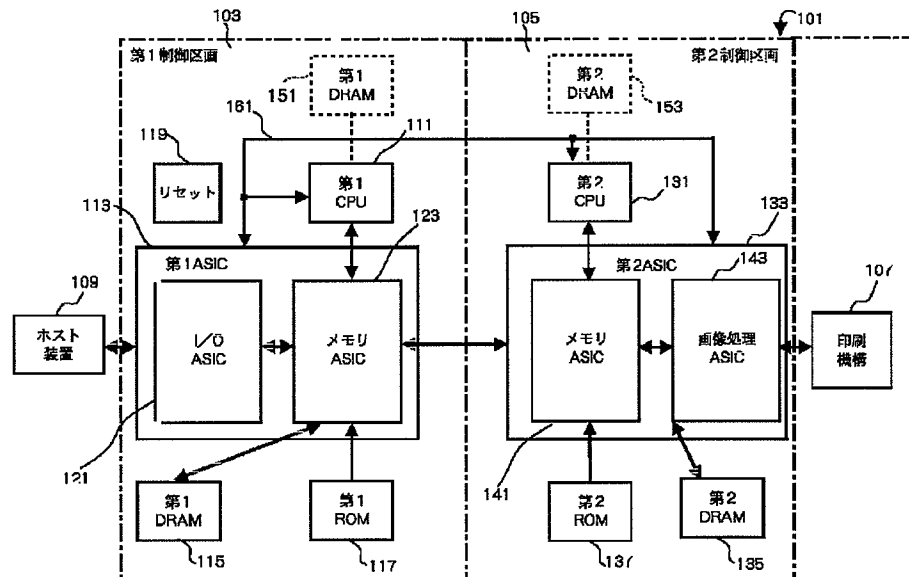
【図2】



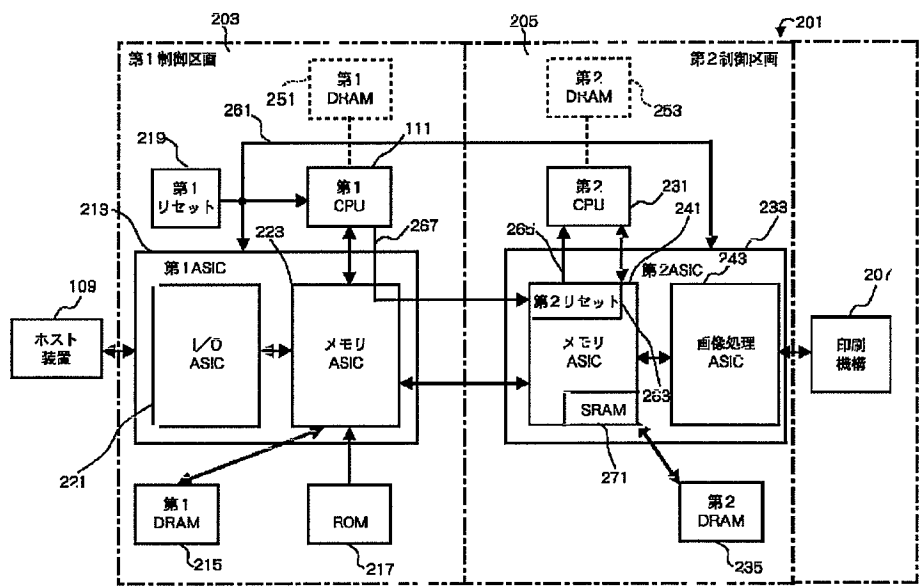
【図3】



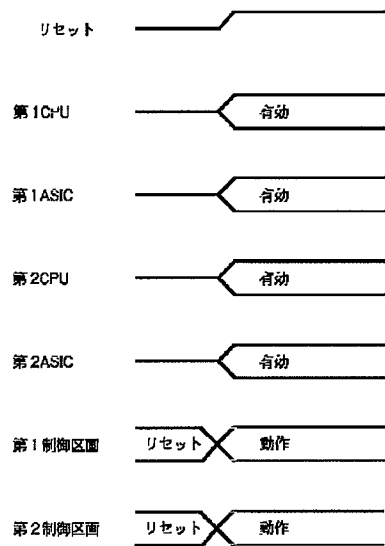
【図4】



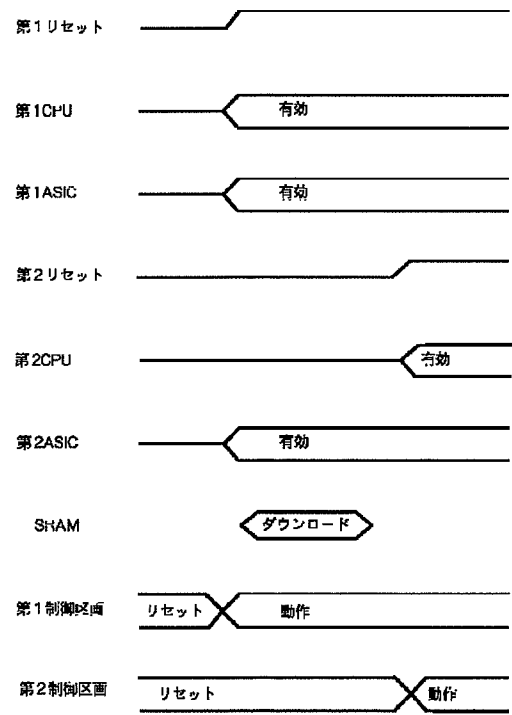
【図5】



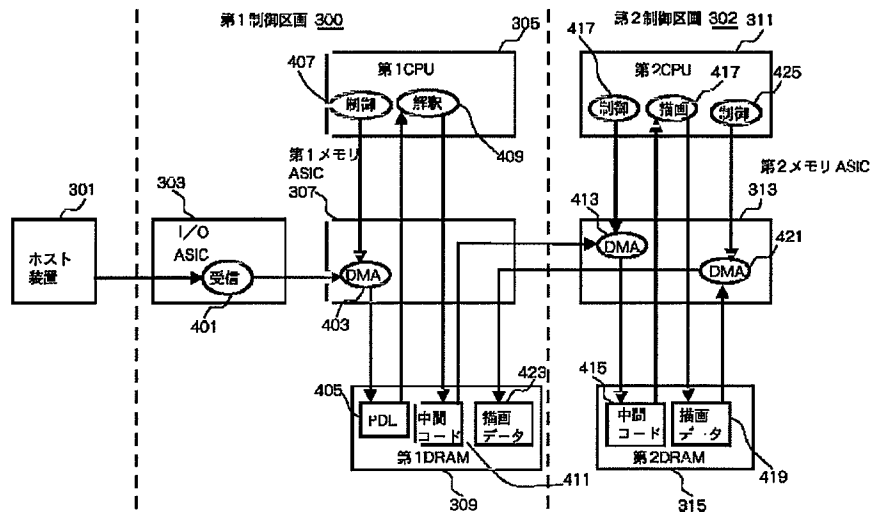
【図6】



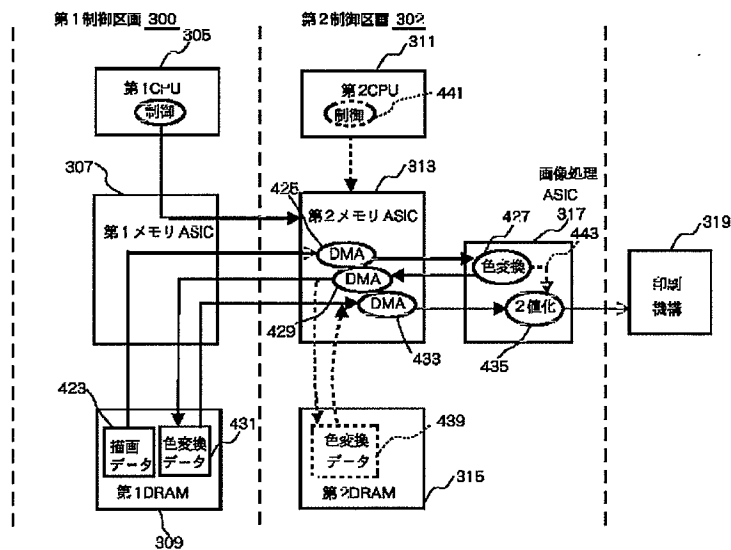
【図7】



【図8】



【図9】



【手続補正書】

【提出日】平成11年6月22日（1999. 6. 22）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】デジタルデータの処理速度を向上するには、CPUを高速なものに変えるか、あるいは、色変換などの処理に特化したハードウェアを開発し採用することが一般的である。高速のCPUを採用すれば、CPU

の処理時間は短縮できるが、クリティカルパスとなるであろうデータ転送などの時間は短縮できない。したがって、高価なCPUを採用しても画像処理の時間をそれほど短縮できるものではない。色変換処理専用フルカスタマイズされたハードウェアを採用すれば、その処理自体の速度は向上でき、全ての処理をカスタマイズされたハードウェアで行えば、さらに処理速度を向上できる。しかしながら、やはりデータ転送などのクリティカルパスが生ずるので、それ自体を短縮することは難しい。また、専用ハードウェアを開発することはコストと時間がかかる。さらに、専用ハードウェアを採用することによ

り汎用性がなくなるので、将来のバージョンアップ、あ
るいは処理内容の変更・追加などにも対処できなくな